



19 BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENT- UND  
MARKENAMT

12 **Offenlegungsschrift**  
10 **DE 100 58 779 A 1**

51 Int. Cl.<sup>7</sup>:  
**G 11 C 11/22**

21 Aktenzeichen: 100 58 779.8  
22 Anmeldetag: 27. 11. 2000  
43 Offenlegungstag: 13. 6. 2002

DE 100 58 779 A 1

71 Anmelder:  
Infineon Technologies AG, 81669 München, DE

74 Vertreter:  
Müller - Hoffmann & Partner Patentanwälte, 81667 München

72 Erfinder:  
Jacob, Michael, 81371 München, DE

56 Entgegenhaltungen:

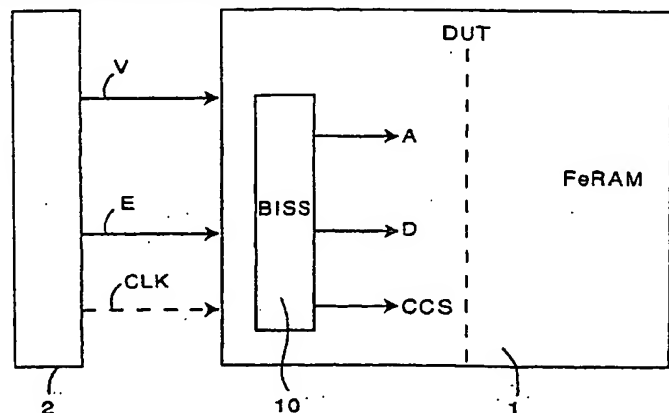
DE	42 01 516 A
US	61 51 693 A
US	60 67 262 A
US	59 82 189 A

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

54 Vorrichtung zum Stressen einer integrierten ferroelektrischen Halbleiterspeicherschaltung

57 Die Erfindung betrifft eine Vorrichtung zum Stressen einer integrierten ferroelektrischen Halbleiterspeicherschaltung. Durch die Integration einer Stresstestschaltung (10) in den den ferroelektrischen Halbleiterspeicher enthaltenden Chip (1) hinein, übernimmt diese integrierte Testschaltung (10) die Aufgabe eines herkömmlichen externen Testautomaten beim Stressen des ferroelektrischen Speichers zum Test von "Fatigue" und Imprint. Dadurch kann Testzeit von externen Testautomaten zur internen Schaltung hin verlagert und durch Beschleunigung des Stresstests Stresszeit eingepart werden.



DE 100 58 779 A 1

## Beschreibung

[0001] Die Erfindung betrifft eine Vorrichtung zum Stressen einer integrierten ferroelektrischen Halbleiterspeicherschaltung.

[0002] Ferroelektrische Speicher (FeRAMs) altern durch

a) Abnahme der remanenten Polarisation infolge wiederholten Umschaltens der Polarisation. Dieser auch als "Fatigue" bezeichnete Effekt tritt durch die im Betrieb häufig wiederholte elektrische Umpolung, d. h. durch bipolares Zykeln, ein. Die reduzierte Polarisation führt dann zu reduzierten Signalen beim Auslesen eines ferroelektrischen Speichers;

b) Verschiebung der Hysteresekurve entlang der Achse des elektrischen Feldes durch Speichern einer gleichbleibenden Polarisation. Dieser auch "Imprint" genannte Effekt ist demnach eine Ermüdungserscheinung, die eintritt, wenn die Polarisation über einen längeren Zeitraum in dieselbe Richtung zeigt. Dies kann sowohl bei der Lagerung des polarisierten ferroelektrischen Speichers als auch bei äußerem Feldeinfluss, d. h. durch unipolares Zykeln geschehen.

[0003] Das Auslesen des ferroelektrischen Speichers zerstört dessen Speicherinhalt ("destructive read") und erfordert bei jedem Lesevorgang das Zurückschreiben der Information. Somit trägt jeder Lesezugriff zum Alterungsprozess entweder durch die oben erwähnte "Fatigue"-Erscheinung oder die "Imprint"-Erscheinung bei. Im Verlauf der Lebensdauer eines ferroelektrischen Halbleiterspeichers können daher sehr hohe Zyklenzahlen, zum Beispiel  $10^{15}$  Zugriffe erreicht werden.

[0004] Um die belastungsbedingte Zuverlässigkeit eines ferroelektrischen Speichers zu testen, müssen solche Speicherbausteine während eines Belastungs- oder Stresstests ebenfalls gezykelt werden. Diese Belastungs- oder Stresstests sind aufgrund der erforderlichen hohen Zyklenzahlen und des Umfangs der Proben zur statistischen Erfassung sehr aufwendig, und die bislang dafür eingesetzten Testautomaten sind sehr teuer.

[0005] Die beiliegende Fig. 3 zeigt schematisch und blockartig eine ferroelektrische Speicherschaltung FeRAM (auch DUT = Device Under Test), die einem derartigen Belastungs- oder Stresstest unterworfen wird, der mit einem herkömmlichen teuren Testautomaten durchgeführt wird. Der als DUT fungierende ferroelektrische Halbleiterspeicher FeRAM empfängt vom Testautomaten die Betriebs- oder Testspannung  $V_{TEST}$ . Der Testautomat erzeugt Testadressen und, je nach verwendeter Datentopologie bestimmte Datenmuster D sowie Chipcontrolsignale CCS, und die während des Tests von den adressierenden Adressensequenzen aus den ferroelektrischen Speicherzellen ausgelesenen Daten D werden vom ferroelektrischen Speicher FeRAM zum Testautomaten zurückgeführt. Selbst wenn ein derartiger teurer Testautomat zum parallelen Testen mehrerer ferroelektrischer Speicherbausteine eingerichtet ist, so dauert der Gesamttest aufgrund der hohen Zyklenzahlen und des Probenumfangs sehr lange, weshalb der Testautomat eine lange Zeit zum Testen einer Charge eingesetzt ist.

[0006] Es ist deshalb Aufgabe der Erfindung, eine Vorrichtung zum Belasten bzw. Stressen einer integrierten ferroelektrischen Halbleiterspeicherschaltung so anzugeben, dass der Equipmentaufwand, d. h. der auf die Testausrüstung anfallende Kostenteil, der zum Testen von Fatigue und Imprint sowohl von dem Qualifikationsprozess als auch für Screening und Monitoring produktiver Ware notwendig ist, deutlich reduziert und die Testzeit verkürzt werden kann.

[0007] Die Aufgabe wird anspruchsgemäß gelöst.

[0008] Demnach besteht die Erfindung gemäß einem wesentlichen Aspekt darin, eine spezielle logische Stresstestschaltung, die zur Ausführung der oben beschriebenen Stresstests eingerichtet ist, in dem ferroelektrischen Speicherbaustein bzw. in eine Halbleiterschaltung, in die ein ferroelektrischer Speicherbaustein eingebettet ist mit zu integrieren. Die erfindungsgemäße Stresstestschaltung (auch BISS = Built In Self Stress genannt) ist dazu eingerichtet, in Form eines Testmodus den ferroelektrischen Speicherbaustein selbstständig anzusprechen, zu zykeln und dadurch zu stressen.

[0009] Die zusätzliche Stresstestschaltung BISS kann zum Beispiel durch einen CMOS-Grundprozess ohne zusätzliche Prozessschritte gleichzeitig mit der Schaltung des ferroelektrischen Speicherbausteins hergestellt werden, zum Beispiel wie bei Embedded DRAMs.

[0010] Die erfindungsgemäße Stresstestschaltung macht den Einsatz eines teuren Testautomaten über eine lange Zeitdauer, wie es bislang zum Testen von ferroelektrischen Speicherbausteinen üblich war, überflüssig.

[0011] Die erfindungsgemäße integrierte Stresstestschaltung weist wenigstens folgende Funktionseinheiten auf:

- eine Testmodus-Eingabe/Auswahleinheit zur Eingabe/Auswahl vorbestimmter Testmodi;
- eine Mustergeneratoreinheit zur Erzeugung von Adressensequenzen, mit denen Speicherzellen des ferroelektrischen Speicherbausteins adressiert werden und
- eine Datengenerator/Auswahleinheit zur Generierung und Auswahl der Daten und der jeweiligen physikalischen Datentopologie.

[0012] Die erfindungsgemäße integrierte Stresstestschaltung kann in einer Ausführungsform von außerhalb des Bausteins zugeführte Taktsignale zur zeitlichen Steuerung und Aktivierung einer Stress-Testsequenz empfangen. Bei einer alternativen Ausführungsform kann die erfindungsgemäße integrierte Stresstestschaltung weiterhin eine eigene Zeitsteuereinheit aufweisen, die eigene Zeitsteuersignale erzeugen und spezielle Testzyklen steuern kann.

[0013] Zusätzlich können weitere Stresstest-Beschleunigungssysteme in die integrierte Stresstestschaltung integriert werden, wie zum Beispiel Widerstände, mit denen die Temperatur des Bausteins beeinflusst werden kann und Testmodi, mit denen interne Spannungspegel verändert werden können und damit die Stresswirkung erhöht und beschleunigt werden kann.

[0014] Die erfindungsgemäße integrierte Stresstestschaltung (BISS), ermöglicht folgende Vorteile:

- einen geringeren Aufwand für die Testausrüstung zum Erreichen einer vergleichbaren Testabdeckung,
- eine erhöhte Datenmenge bzw. statistische Basis für die Qualifikationstests, für das Screening und Monitoring;
- höhere Zykelfrequenzen im Vergleich zu extern realisierter Stresstestausrüstung;
- verringerte Testkosten, und
- beschleunigte Testabläufe.

[0015] Es sei hier erwähnt, dass mit "Screening" das Herausfiltern fehlerhafter Bausteine oder auch potentieller Ausfallkandidaten durch den Stresstest gemeint ist. Das heißt dass alle ferroelektrischen Speicherbausteine dem Screeningtest unterzogen und nur die guten Bausteine an die Kunden geliefert werden. Mit "Monitoring" ist ein Stichproben-

aniger Test bezeichnet, der sowohl fehlerhafte Fertigungseinheiten finden als auch eine Aussage über den zeitlichen Qualitätsverlauf der Fertigung ermöglichen soll.

[0016] Durch die Integration der Stresstestschaltung BISS, die die Aufgabe eines herkömmlichen externen Testautomaten beim Stresstest eines ferroelektrischen Speicherbausteins zum Test von Fatigue und Imprint übernimmt, in den Speicherbaustein bzw. in eine einen ferroelektrischen Speicherbaustein enthaltende Halbleiterschaltung hinein, kann Testzeit von externen Testsystemen zu der erfindungsgemäß vorgeschlagenen internen Testschaltung hin verlagert werden. Durch die Beschleunigung, die durch die erfindungsgemäße integrierte Testschaltung beim Stressen des Speicherbausteins ermöglicht wird, kann Stresszeit eingespart werden.

[0017] Nachstehend werden Aufbau und Funktionen einer erfindungsgemäßen Testschaltung anhand eines in der Zeichnung dargestellten Ausführungsbeispiels beschrieben.

[0018] Fig. 1 zeigt schematisch ein Blockschaltbild eines Ausführungsbeispiels einer erfindungsgemäßen in einem ferroelektrischen Halbleiterspeicher FeRAM integrierten Stresstestschaltung BISS in Verbindung mit einem äußeren Testboard;

[0019] Fig. 2 zeigt Funktionsblöcke der in Fig. 1 dargestellten erfindungsgemäßen Stresstestschaltung, und

[0020] Fig. 3 zeigt den oben bereits beschriebenen Stand der Technik für den Stresstest einer ferroelektrischen Speicherschaltung.

[0021] In Fig. 1 ist in einem Chip mit einem ferroelektrischen Speicher (FeRAM) 1 eine Stresstestschaltung (BISS) 10 für den Stresstest von Fatigue und Imprint der ferroelektrischen Speicherschaltung 1 integriert. Die erfindungsgemäße Testschaltung 10 erzeugt chipintern eine Sequenz von Testadressen A, Testdaten D und Chipcontrolsignale CCS, die der zu testenden ferroelektrischen Speicherschaltung 1 (DUT) zugeführt werden.

[0022] Der ferroelektrische Speicherbaustein 1 mit der darin integrierten Testschaltung 10 erhält weiterhin von einem äußeren Testboard 2 Versorgungsspannungen V, und die Testschaltung 10 erhält ein Testmodusfreigabesignal E und gegebenenfalls ein Taktsignal CLK für die Zeitsteuerung der Testsequenz. Alternativ kann die erfindungsgemäße Testschaltung 10 auch intern mit Hilfe einer eigenen Oszillatorschaltung eigene Zeitsteuersignale zur zeitlichen Steuerung der Testadressen A, der Testdaten D und der Chipcontrolsignale CCS erzeugen. Mit Hilfe der zuletzt genannten Adressen, Daten- und Chipcontrolsignale kann die Stresstestschaltung BISS beim Stresstest selbständig auf den ferroelektrischen Speicher zugreifen und Lese- bzw. Schreibbefehle auslösen.

[0023] Fig. 2 zeigt schematisch in Form von Funktionsblöcken Grundfunktionen und optionale Funktionen der erfindungsgemäßen Stresstestschaltung 10. Ein Funktionsblock 11 stellt eine Testmodus-Eingabe/Auswahleinheit zur Eingabe/Auswahl vorbestimmter Testmodi, die zum Beispiel ein Schutzband für bestimmte Betriebsbedingungen enthalten, ein Funktionsblock 12 eine Mustergeneratoreinheit, die Adressen erzeugt, die die Sequenz definieren, in denen die Speicherzellen der zu testenden ferroelektrischen Speicherschaltung 1 adressiert werden und ein Funktionsblock 13 eine Datengenerator-/Auswahleinheit zur Datengenerierung und Auswahl der jeweiligen physikalischen Datentopologie dar. Zum Beispiel kann das physikalische Datum "0" ein unipolares Zykeln für den Test des Imprinteffekts und "1" ein bipolares Zykeln für den Test des Fatigueeffekts bedeuten.

[0024] Optionell ist ein gestrichelt gezeichneter Funktionsblock 14 vorgesehen, der eine in der Stresstestschal-

lung 10 integrierte Taktsignal- und Zeitsteuereinheit bildet, mit dem sich spezielle Zeitbedingungen einstellen lassen mit denen der Stresstest beschleunigt werden, d. h. die Zykluszeit verkürzt und Stresstestzeit eingespart werden kann.

[0025] Zusätzlich zu den, in Fig. 2 gezeigten Funktionen können weitere (nicht gezeigte) Beschleunigungssysteme in die Testschaltung integriert werden, wie zum Beispiel Widerstände, mit denen die Temperatur des ferroelektrischen Speicherbausteins 1 beeinflusst werden kann und Funktionsblöcke zur Aktivierung von Testmodi, mit denen intern Spannungspegel für den ferroelektrischen Speicher 1 verändert werden können und damit die Stresswirkung erhöht und beschleunigt werden kann.

#### Patentansprüche

1. Vorrichtung zum Stressen einer integrierten ferroelektrischen Halbleiterspeicherschaltung, **dadurch gekennzeichnet**, dass die Vorrichtung eine in dem Chip (1) des ferroelektrischen Halbleiterspeichers oder eine im Chip einer einen eingebetteten ferroelektrischen Halbleiterspeicher enthaltenden Halbleiterschaltung integrierte spezielle Stresstestschaltung (10) ist.
2. Vorrichtung nach Anspruch 1, dadurch gekennzeichnet, dass die integrierte Stresstestschaltung (10) wenigstens folgende Funktionseinheiten aufweist: eine Testmodus-Eingabe/Auswahleinheit (11) zur Eingabe/Auswahl vorbestimmter Testmodi; eine Mustergeneratoreinheit (12) zur Erzeugung von Testadressensequenzen mit denen Speicherzellen des ferroelektrischen Speichers während einer Testsequenz adressiert werden; und eine Datengenerator/Auswahleinheit (13) zur Datengenerierung und Auswahl der jeweiligen physikalischen Datentopologie für eine Testsequenz.
3. Vorrichtung nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass die integrierte Stresstestschaltung (10) von außerhalb des Chips zugeführte Taktsignale (CLK) zur zeitlichen Steuerung und Aktivierung ihrer Testsequenz (14) empfängt.
4. Vorrichtung nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass die integrierte Stresstestschaltung (10) weiterhin eine eigene integrierte Zeitsteuereinheit aufweist, die Zeitsteuersignale erzeugt, um spezielle Testzyklen zu aktivieren und zu steuern.
5. Vorrichtung nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, dass die integrierte Testschaltung (10) weiterhin eine Einheit zur Temperatursteuerung der zu testenden ferroelektrischen Halbleiterspeicherschaltung (1) während einer Testsequenz aufweist.
6. Vorrichtung nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, dass die integrierte Testschaltung (10) weiterhin eine Einheit zur Veränderung speicherinterner Spannungspegel während einer Testsequenz aufweist.

Hierzu 2 Seite(n) Zeichnungen

Abstract:

The present invention refers to a device for stressing an integrated ferroelectrical semiconductor memory circuit. By the integration of a stress test circuit (10) into the chip containing the ferroelectrical semiconductor memory, this integrated test circuit (10) takes over the job of a conventional external automatic device when stressing the ferroelectrical memory for testing fatigue and imprint. Thereby, test time of external test automatic devices can be shifted to the integrated circuit and stress time can be saved by acceleration of the stress test.

Claims 1 and 5

1. A device for stressing an integrated ferroelectrical semiconductor memory circuit, characterized in that the device is a special stress test circuit (10) integrated into the chip (1) of the ferroelectrical semiconductor memory or a special stress test circuit integrated into the chip of a semiconductor circuit that contains an embedded ferroelectrical semiconductor memory.

5. A device as claimed in one of claims 1 to 4, characterized in that the integrated test circuit (10) further comprises a unit for the temperature control of the ferroelectrical semiconductor memory circuit (1) to be tested during a test sequence.

- Leerseite -

Fig. 1

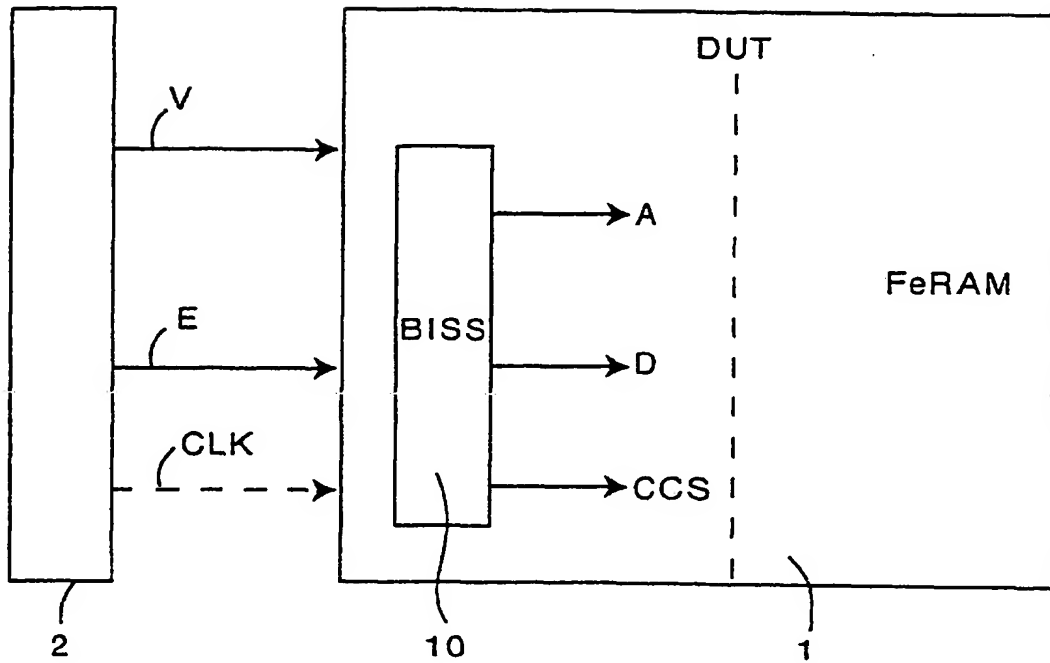


Fig. 2

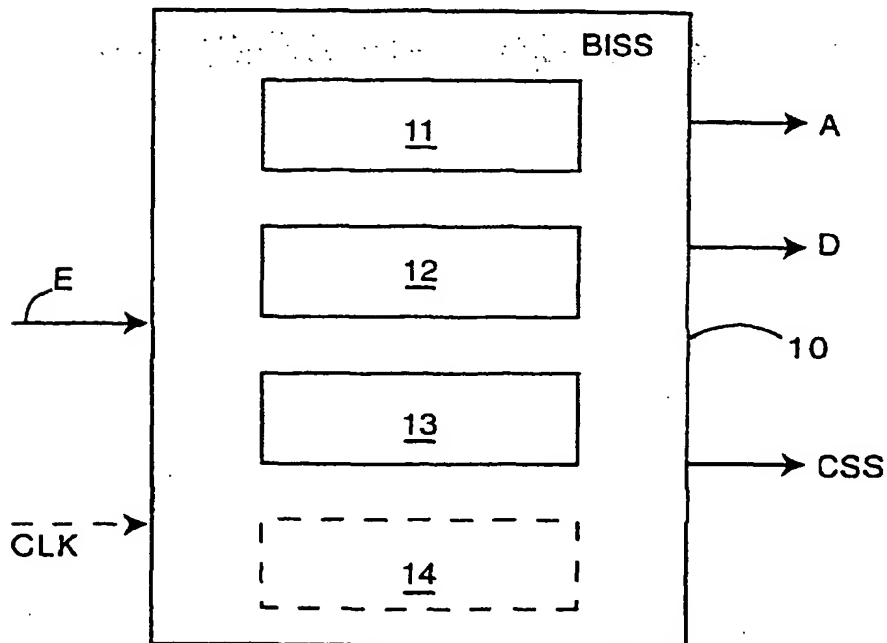


Fig. 3

Stand der Technik

